

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-134634

(P2002-134634A)

(43) 公開日 平成14年5月10日 (2002.5.10)

(51) Int.Cl.⁷

識別記号

F I

テームコード* (参考)

H 0 1 L 21/8247
29/788
29/792
21/76
27/115

H 0 1 L 29/78 3 7 1 5 F 0 0 1
21/76 L 5 F 0 3 2
27/10 4 3 4 5 F 0 8 3
5 F 1 0 1

審査請求 未請求 請求項の数13 O L (全 13 頁)

(21) 出願番号 特願2000-325656 (P2000-325656)

(22) 出願日 平成12年10月25日 (2000.10.25)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 金森 宏治

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

最終頁に続く

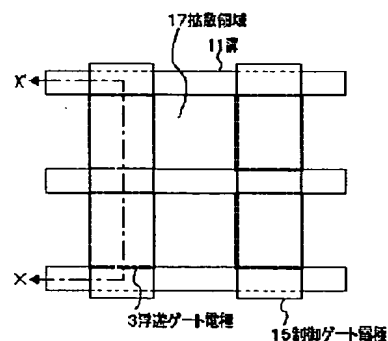
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

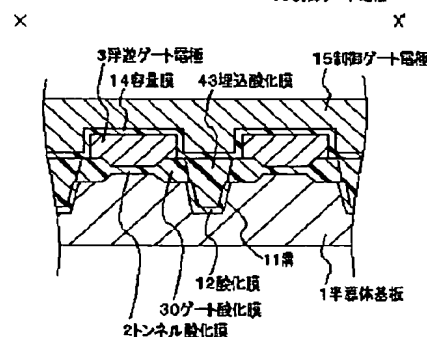
【課題】 積層膜パターンに自己整合したトレンチを素子分離に用いる方式のフラッシュメモリは、セル間隔を極小化でき、メモリセルの高密度化に大いに利するところがあるが、反面、トレンチ肩の電界集中によりトンネル酸化膜の信頼性が低い、高容量比を実現するために、浮遊ゲート電極を2層構造で形成するとプロセスが複雑になる、といった問題を有する。

【解決手段】 半導体基板1の活性ゲート膜領域上に積層構造体を形成しておき、活性ゲート膜2の溝分離側に位置するゲート膜30を厚くしておき、その上で積層構造体に対して自己整合的に溝分離領域を形成するので、溝11の肩部と浮遊ゲート電極3との距離を大きくすることができ、デバイス動作時の溝の肩部における電界集中によるデバイス特性への悪影響を無くすることができる。

(a)



(b)



1

【特許請求の範囲】

【請求項 1】 半導体基板と、前記半導体基板に埋め込まれた分離用絶縁膜と、前記分離用絶縁膜に挟まれた半導体基板の表面の一部に形成されたゲート絶縁膜とを有する半導体装置であって、前記ゲート絶縁膜はその側面を前記分離用絶縁膜に接して形成されており、前記ゲート絶縁膜の前記分離用絶縁膜側の端部が、前記ゲート絶縁膜の中央部よりも厚いことを特徴とする半導体装置。

【請求項 2】 前記分離用絶縁膜を挟んで隣接するゲート絶縁膜の間隔に相当する幅の溝が、隣接するゲート絶縁膜の間の前記半導体基板に掘られ、前記分離用絶縁膜は、前記溝に埋め込まれた絶縁膜である請求項 1 記載の半導体装置。

【請求項 3】 前記ゲート絶縁膜の上には、下から順に、第 1 電極、容量絶縁膜、第 2 電極が形成される請求項 1 又は 2 記載の半導体装置。

【請求項 4】 前記分離用絶縁膜の上面と前記ゲート絶縁膜端部の上面とが概略同じ高さに位置する請求項 1、2 又は 3 記載の半導体装置。

【請求項 5】 前記分離用絶縁膜の上面は、前記端部絶縁膜の上面よりも高い位置に位置する請求項 1、2 又は 3 記載の半導体装置。

【請求項 6】 前記第 2 電極は、前記分離用絶縁膜の間隔方向の中央部に対応する位置に凹部を有する請求項 5 記載の半導体装置。

【請求項 7】 半導体基板の表面に第 1 酸化膜を形成した後、前記第 1 酸化膜に接する第 1 導電層を含む積層膜を堆積する工程と、前記第 1 酸化膜及び前記積層膜を同時にパターンニングして複数の積層膜パターンが前記半導体基板の上を並走する形状に形成する工程と、前記積層膜パターンの形成された前記半導体基板を酸化して、前記積層膜パターンに挟まれた半導体基板の表面及び前記積層膜パターンの幅方向の端部近傍の下に位置する半導体基板の表面に前記第 1 酸化膜よりも厚い膜厚の第 2 酸化膜を形成する工程と、前記積層膜パターンの側面に側壁マスク膜を形成して前記積層膜パターンを含むマスクパターンを形成する工程と、前記マスクパターンをマスクとして前記マスクパターンに挟まれた第 2 酸化膜の全部及び半導体基板の一部を除去して前記半導体基板に溝を形成する工程と、前記溝に埋込絶縁膜を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 8】 前記溝に埋込絶縁膜を埋め込む工程において、前記埋込絶縁膜は、その表面の高さが前記第 2 酸化膜の高さに概略一致するべく形成される請求項 7 記載の半導体装置の製造方法。

【請求項 9】 前記溝に埋込絶縁膜を埋め込む工程の後に、前記第 1 導電層からなる第 1 電極の上に容量絶縁膜を挟んで第 2 電極を形成する工程が続く請求項 7 又は 8 記載の半導体装置の製造方法。

【請求項 10】 半導体基板の表面に第 1 酸化膜を形成

2

した後、前記第 1 酸化膜に接するストッパ膜を含む積層膜を堆積する工程と、前記第 1 酸化膜及び前記積層膜を同時にパターンニングして複数の積層膜パターンが前記半導体基板の上を並走する形状に形成する工程と、前記積層膜パターンの形成された前記半導体基板を酸化して、前記積層膜パターンに挟まれた半導体基板の表面及び前記積層膜パターンの幅方向の端部近傍の下に位置する半導体基板の表面に前記第 1 酸化膜よりも厚い膜厚の第 2 酸化膜を形成する工程と、前記積層膜パターンをマスクとして前記積層膜パターンに挟まれた第 2 酸化膜の全部及び半導体基板の一部を除去して前記半導体基板に溝を形成する工程と、前記溝に埋込絶縁膜を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 11】 前記溝に埋込絶縁膜を埋め込む工程において、前記埋込絶縁膜は、その表面の高さが前記ストッパ膜の高さに概略一致するべく形成される請求項 10 記載の半導体装置の製造方法。

【請求項 12】 前記溝に埋込絶縁膜を埋め込む工程の後に、少なくとも前記積層膜パターンの下の第 2 酸化膜が残るべく前記積層膜パターンを除去して前記積層膜パターンに挟まれた半導体基板の表面を露出させ、前記積層膜パターンに挟まれた半導体基板の露出した表面にゲート酸化膜を形成し、その後、前記ゲート酸化膜及び前記第 2 酸化膜を覆い、かつ、前記埋込絶縁膜に接する部分の高さが前記埋込絶縁膜の高さに概略一致する第 1 電極を形成する工程が続く請求項 11 記載の半導体装置の製造方法。

【請求項 13】 前記第 1 電極を形成する工程の後に、前記第 1 電極の上に容量絶縁膜を挟んで第 2 電極を形成する工程が続く請求項 12 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、特に、セルに形成した積層膜パターンに自己整合したトレンチを素子分離に用いた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】セルに形成した積層膜パターンに自己整合したトレンチを素子分離に用いる方式のフラッシュメモリは、セル間隔を極小化でき、メモリセルの高密度化に大いに利するところがある。

【0003】この方法は、特開平 11-26731 号公報に示されている。図 14 にその製造方法を示す。

【0004】まず、半導体基板 201 にトンネル酸化膜 204、ポリシリコンからなる第 1 浮遊ゲート電極 203、窒化膜 205 の積層膜パターンを形成し、その積層膜パターンをマスクとして半導体基板 201 にトレンチ 211 を形成する（図 14 (a)）。

【0005】次に、トレンチ 211 に埋込酸化膜 233 を埋め込み（図 14 (b)）、その後、窒化膜 205 を

3

除去してポリシリコンからなる第2浮遊ゲート電極213を形成する。

【0006】最後に、容量膜214及びポリシリコンからなる制御ゲート電極215を形成する(図14

(c))。

【0007】

【発明が解決しようとする課題】しかしながら、この方式のフラッシュメモリの製造方法は、(1)トンネル酸化膜の信頼性が低い、(2)高容量比を実現するために、浮遊ゲート電極を2層構造で形成するとプロセスが複雑になる、といった問題を有する。

【0008】上記問題は、それぞれ以下の理由による。

【0009】まず、(1)1層目の浮遊ゲート電極203に対してSTI(Shallow Trench Isolationの略称であり、以下STIと略記する)をセルフアラインで形成すると、STIの基板エッジ

(トレンチ肩部)と1層目のフローティングゲートの距離が短いため、動作時にトレンチ211の肩部Aでの電界集中の影響を受けてトレンチ211の肩部Aで電流リークが生じ、メモリセルの保持特性を悪くし、結果としてトンネル酸化膜としての信頼性を低下させてしまう、

(2)1層目の浮遊ゲート電極203の幅とチャネル幅が等しいため、2層目の浮遊ゲート電極213を1層目の浮遊ゲート電極203の幅以上の幅に形成することにより、制御ゲート電極215と対向する浮遊ゲート電極の表面積を増加させないと容量比を大きくできない。

【0010】本発明は、動作時にトレンチ肩部での電界集中の影響を受けず、単層の浮遊ゲート電極構造により製造工程の短縮が可能となるフラッシュメモリ及びその製造方法を提供することにある。

【0011】

【課題を解決するための手段】本発明の半導体装置は、半導体基板と、前記半導体基板に埋め込まれた分離用絶縁膜と、前記分離用絶縁膜に挟まれた半導体基板の表面の一部に形成されたゲート絶縁膜とを有する半導体装置であって、前記ゲート絶縁膜はその側面を前記分離用絶縁膜に接して形成されており、前記ゲート絶縁膜の前記分離用絶縁膜側の端部が、前記ゲート絶縁膜の中央部よりも厚いことを特徴とし、前記分離用絶縁膜を挟んで隣接するゲート絶縁膜の間隔に相当する幅の溝が、隣接するゲート絶縁膜の間の前記半導体基板に掘られ、前記分離用絶縁膜は、前記溝に埋め込まれた絶縁膜であり、前記ゲート絶縁膜の上には、下から順に、第1電極、容量絶縁膜、第2電極が形成され、前記分離用絶縁膜の上面と前記ゲート絶縁膜端部の上面とが概略同じ高さに位置する、或いは、前記分離用絶縁膜の上面は、前記端部絶縁膜の上面よりも高い位置に位置し、この場合、前記第2電極は、前記分離用絶縁膜の間隔方向の中央部に対応する位置に凹部を有する、というものである。

【0012】次に、本発明の第1の半導体装置の製造方

4

法は、半導体基板の表面に第1酸化膜を形成した後、前記第1酸化膜に接する第1導電層を含む積層膜を堆積する工程と、前記第1酸化膜及び前記積層膜を同時にパターンニングして複数の積層膜パターンが前記半導体基板の上を並走する形状に形成する工程と、前記積層膜パターンの形成された前記半導体基板を酸化して、前記積層膜パターンに挟まれた半導体基板の表面及び前記積層膜パターンの幅方向の端部近傍の下に位置する半導体基板の表面に前記第1酸化膜よりも厚い膜厚の第2酸化膜を形成する工程と、前記積層膜パターンの側面に側壁マスク膜を形成して前記積層膜パターンを含むマスクパターンを形成する工程と、前記マスクパターンをマスクとして前記マスクパターンに挟まれた第2酸化膜の全部及び半導体基板の一部を除去して前記半導体基板に溝を形成する工程と、前記溝に埋込絶縁膜を埋め込む工程とを有することを特徴とし、前記溝に埋込絶縁膜を埋め込む工程において、前記埋込絶縁膜は、その表面の高さが前記第2酸化膜の高さに概略一致するべく形成され、前記溝に埋込絶縁膜を埋め込む工程の後に、前記第1導電層からなる第1電極の上に容量絶縁膜を挟んで第2電極を形成する工程が続く、というものである。

【0013】次に、本発明の第2の半導体装置の製造方法は、半導体基板の表面に第1酸化膜を形成した後、前記第1酸化膜に接するストッパー膜を含む積層膜を堆積する工程と、前記第1酸化膜及び前記積層膜を同時にパターンニングして複数の積層膜パターンが前記半導体基板の上を並走する形状に形成する工程と、前記積層膜パターンの形成された前記半導体基板を酸化して、前記積層膜パターンに挟まれた半導体基板の表面及び前記積層膜パターンの幅方向の端部近傍の下に位置する半導体基板の表面に前記第1酸化膜よりも厚い膜厚の第2酸化膜を形成する工程と、前記積層膜パターンをマスクとして前記積層膜パターンに挟まれた第2酸化膜の全部及び半導体基板の一部を除去して前記半導体基板に溝を形成する工程と、前記溝に埋込絶縁膜を埋め込む工程とを有することを特徴とし、前記溝に埋込絶縁膜を埋め込む工程において、前記埋込絶縁膜は、その表面の高さが前記ストッパー膜の高さに概略一致するべく形成され、前記溝に埋込絶縁膜を埋め込む工程の後に、少なくとも前記積層膜パターンの下の第2酸化膜が残るべく前記積層膜パターンを除去して前記積層膜パターンに挟まれた半導体基板の表面を露出させ、前記積層膜パターンに挟まれた半導体基板の露出した表面にゲート酸化膜を形成し、その後、前記ゲート酸化膜及び前記第2酸化膜を覆い、かつ、前記埋込絶縁膜に接する部分の高さが前記埋込絶縁膜の高さに概略一致する第1電極を形成する工程が続く、さらに、前記第1電極を形成する工程の後に、前記第1電極の上に容量絶縁膜を挟んで第2電極を形成する工程が続く、というものである。

【0014】

5

【発明の実施の形態】次に、本発明の第1の実施形態について図1を参照して説明する。図1(a)は、第1の実施形態の半導体装置であるフラッシュメモリセルの拡散層及びSTIを含む領域の様子を示す平面図であり、図1(b)は、図1(a)の切断線X-X'における断面図である。

【0015】本発明の半導体装置は、絶縁分離にSTIを用い、浮遊ゲート電極3直下の中央付近ではトンネル酸化膜2、浮遊ゲート電極3のエッジ付近ではトンネル酸化膜2よりも厚い酸化膜のゲート酸化膜30を持つ構造のフラッシュメモリセルを基本構造としている。

【0016】上記基本構造のフラッシュメモリセルを形成するための製造方法について、図2～5の断面図を参照して説明する。尚、これらの断面図は、いずれも図1(a)の切断線X-X'における断面図である。

【0017】まず、半導体基板1の表面に膜厚7～11nmのトンネル酸化膜、膜厚50～150nmのポリシリコン、膜厚10～20nmの中間酸化膜、膜厚50～200nmの窒化膜、膜厚20～100nmの上層酸化膜の順に堆積し、続いて、メモリセル及びトランジスタのチャンネルとなる領域にトンネル酸化膜2、浮遊ゲート電極3、中間酸化膜4、窒化膜5、上層酸化膜6からなる積層膜7にパターニングする。このとき、積層膜7は、複数の積層膜パターンが半導体基板1の上に所定の間隔をもって並走する形に形成される(図2(a))。

【0018】次に、積層膜7の表面に膜厚約10nmの熱酸化による酸化膜8、膜厚10～100nmの窒化膜9を順次形成し(図2(b))、窒化膜9をエッチバックし、積層膜7の側壁に窒化膜スペーサ29を形成する(図2(c))。

【0019】次に、浮遊ゲート電極3端部下の半導体基板にバースピークが形成されるように熱酸化を行い、並走する積層膜7パターン間の半導体基板と共に、浮遊ゲート電極3の中央付近のトンネル酸化膜2よりも厚い、例えば、20～50nmの膜厚の酸化膜10を形成する(図3(a))。

【0020】次に、側壁に窒化膜スペーサ29を有する積層膜7パターンをマスクとして、並走する積層膜7パターン間の酸化膜10をエッチング除去すると、酸化膜10の一部が除去されて、浮遊ゲート電極3端部下にゲート酸化膜30が残る。このとき、積層膜7は、その一番上の上層酸化膜6が一部エッチングされてその高さを減じ、積層膜17となる。また、積層膜7は、その一番上の上層酸化膜6が無くなるように、積層膜7の一番上の酸化膜の膜厚を設定しておく。続いて、積層膜17の上層酸化膜6及び窒化膜スペーサ29をマスクとして、シリコンエッチングを行い、並走する積層膜17パターン間の半導体基板に、例えば、深さ0.2～0.3μmのSTIの溝11を形成する(図3(b))。

6

【0021】次に、溝11の角をなだらかにするための丸め酸化を行って溝11の表面に酸化膜12を形成する(図3(c))。

【0022】次に、窒化膜スペーサ29をエッチング除去してから溝11を埋め込むと共に積層膜17パターン間をも完全に埋め尽くすように酸化膜13を形成し

(図4(a))、CMP等の方法を用いて酸化膜13を含む基板表面の平坦化を行って酸化膜13を埋込酸化膜33とする。このとき、積層膜17の窒化膜5がCMP等による平坦化の際のストッパーとなり、埋込酸化膜33の表面は、窒化膜5のストッパー面と概略同じ高さとなる(図4(b))。このとき、ストッパーとしての窒化膜5は、CMP等により膜厚を減じることとなるが、その膜表面が露出する段階から膜厚がなくなる段階までの膜厚全体に渡ってストッパーの役割を果たせばよい。

【0023】続いて、積層膜17の浮遊ゲート電極3より上の中間酸化膜4及び窒化膜5からなる残膜をエッチング除去すると共に、埋込酸化膜33を一部エッチングして埋込酸化膜43とする。このとき、埋込酸化膜43の表面がゲート酸化膜30の表面と概略一致するようにエッチング条件を設定する(図5(a))。

【0024】次に、酸化膜/窒化膜/酸化膜(以下、ONO膜と記載する)等の積層構造の容量膜14を約15nmの膜厚に形成し(図5(b))、さらに、制御ゲート電極15を約0.2μmの膜厚に形成すると本発明の第1の実施形態のメモリセルを得る(図5(c))。

【0025】以上により、微細化が可能である浮遊ゲート電極自己整合型STI構造のフラッシュメモリセルを形成するに当たって、本発明の第1の実施形態の構造及びその製造方法を適用することにより、フラッシュメモリセルの高信頼性を維持し、また同時に、高容量比化による書き込み・消去電圧の低電圧化が可能になる。

【0026】即ち、STIを用いたフラッシュメモリセルのチャンネル領域において、浮遊ゲート電極の中央付近の下方では薄いトンネル酸化膜を、浮遊ゲート電極のエッジ付近下方ではトンネル酸化膜よりも厚い酸化膜のゲート酸化膜を形成することで、浮遊ゲート電極と半導体基板との間の容量(基板容量と呼ぶ)を浮遊ゲート電極と制御ゲートとの間の容量(制御容量と呼ぶ)よりも小さくすることができ、制御容量の基板容量に対する容量比を高く設定することができる。

【0027】また、浮遊ゲート電極のエッジ付近下方では、トンネル酸化膜よりも厚い酸化膜が形成されているので、浮遊ゲート電極とSTIエッジとの間の距離を長くすることができ、STIエッジにおける電界集中による酸化膜の信頼性低下を無くすることができる。

【0028】次に、本発明の第2の実施形態を図6～10を参照して説明する。図6(a)は、第2の実施形態の半導体装置であるフラッシュメモリセルの拡散層及びSTIを含む領域の様子を示す平面図であり、図6

7

(b) は、図 6 (a) の切断線 X-X' における断面図である。

【0029】本実施形態の特徴は、浮遊ゲート電極の形状を凹状に形成して、第 1 の実施形態よりもさらに制御容量の基板容量に対する容量比を高く設定しようとするものであり、他の基本的な構造は第 1 の実施形態と同じである。

【0030】上記のフラッシュメモリセルを形成するための製造方法について、図 7～10 の断面図を参照して説明する。尚、これらの断面図は、いずれも図 6 (a) の切断線 X-X' における断面図である。

【0031】まず、半導体基板 101 の表面に膜厚 10～20 nm の下酸化膜、膜厚 50～250 nm の窒化膜、膜厚 20～100 nm の上層酸化膜の順に堆積し、続いて、メモリセル及びトランジスタのチャネルとなる領域に下酸化膜 102、窒化膜 105、上層酸化膜 106 からなる積層膜 107 にパターニングする。このとき、積層膜 107 は、複数の積層膜パターンが半導体基板 101 の上に所定の間隔をもって並走する形に形成される (図 7 (a))。

【0032】次に、窒化膜 105 端部下の半導体基板にバズピークが形成されるように熱酸化を行い、並走する積層膜 107 パターンの間の半導体基板と共に、窒化膜 5 の中央下の下酸化膜 102 よりも厚い酸化膜 110 を形成する (図 7 (b))。

【0033】次に、積層膜 107 パターンをマスクとして、並走する積層膜 107 パターンの間の酸化膜 110 をエッチング除去すると、酸化膜 110 の一部が除去されて、窒化膜 5 端部下にゲート酸化膜 130 が残る。このとき、積層膜 107 は、その一番上の上層酸化膜 106 が一部エッチングされてその高さを減じ、積層膜 117 となる。また、積層膜 107 は、その一番上の上層酸化膜 106 が無くならないように、積層膜 107 の一番上の酸化膜の膜厚を設定しておく。

【0034】続いて、積層膜 117 の上層酸化膜 6 及び窒化膜 5 をマスクとして、シリコンエッチングを行い、並走する積層膜 117 パターンの間の半導体基板に STI の溝 111 を形成する (図 7 (c))。

【0035】次に、溝 111 の角の丸め酸化を行って溝 111 の表面に酸化膜 112 を形成する (図 8 (a))。

【0036】次に、溝 111 を埋め込むと共に積層膜 117 パターンの間をも完全に埋め尽くすように酸化膜 113 を形成し (図 8 (b))、CMP 等の方法を用いて酸化膜 113 を含む基板表面の平坦化を行って酸化膜 113 を埋込酸化膜 143 とする。このとき、積層膜 117 の窒化膜 105 が CMP 等による平坦化の際のストッパーとなり、埋込酸化膜 143 の表面は、窒化膜 105 のストッパー面と概略同じ高さとなる (図 8 (c))。

【0037】続いて、窒化膜 5 をエッチング除去し、半

8

導体基板 101 の表面から埋込酸化膜 143 が突き出した形状とする (図 9 (a))。

【0038】次に、積層膜 107 のうち最後に残った下酸化膜 102 を除去し (図 9 (b))、露出した半導体基板表面を熱酸化してトンネル酸化膜 122 を形成し、さらに、浮遊ゲート電極材料となるポリシリコン 103 を埋込酸化膜 143 の間隔 (積層膜 107 の幅に相当する) の半分よりも薄い膜厚に堆積する。このとき、埋込酸化膜 143 が半導体基板 101 の表面から突き出ているため、ポリシリコン 103 は埋込酸化膜 143 の間では凹部 116 を呈する (図 9 (c))。

【0039】次に、この凹部 116 を選択的にレジスト等で埋め込み、埋込酸化膜 143 の上のポリシリコン 103 を選択的に除去し、凹部 116 を呈する部分のポリシリコン 103 を浮遊ゲート電極 123 とする (図 10 (a))。

【0040】次に、ONO 膜等からなる容量膜 114 を形成し、さらに、その上に制御ゲート電極 115 を形成すると本発明の第 2 の実施形態のメモリセルを得る (図 10 (b))。

【0041】以上により、第 1 の実施形態で説明したフラッシュメモリセルの高信頼性に加えて、第 1 の実施形態よりもさらに高容量比を達成することができ、書き込み・消去電圧のさらなる低電圧化が可能になる。

【0042】また、第 1 の実施形態で用いた積層膜が多層の膜からなり、しかも、積層膜の側壁にもスペーサ膜を用いるなどして、溝形成までの製造工程が複雑となっているが、本実施形態では積層膜の層数を少なくし、側壁にスペーサ膜を用いないので、溝形成までの製造工程が短くなるという利点を有する。

【0043】次に、本発明の第 3 の実施形態を図 11～15 を参照して説明する。図 11 (a) は、第 3 の実施形態の半導体装置であるフラッシュメモリのセル近傍の様子を示す平面図であり、図 11 (b) は、図 11 (a) の切断線 X-X' における断面図である。

【0044】本実施形態の特徴は、第 1 の実施形態で述べた基本構造を維持しつつ、第 1、2 の実施形態よりもさらに製造プロセスを簡略化して、製造工程の短縮を図っている。また、本実施形態の製造方法は、第 2 の実施形態の製造方法の図 8 (c) の工程までと全く同じであるので、図 8 (c) から先の工程についてのみ説明することとする。

【0045】まず、図 8 (c) のように、埋込酸化膜 143 及び窒化膜 105 の表面がほぼ一致するようにして、積層膜 117 のうち窒化膜 105 の一部を残存させた後、埋込酸化膜 143 を一部エッチングして、その表面を概略ゲート酸化膜 130 の表面と一致させ、埋込酸化膜 143 を埋込酸化膜 193 とする (図 12 (a))。

【0046】続いて、積層膜 117 のうち残存している

窒化膜 105 をエッチング除去し、下敷酸化膜 102 を露出させる (図 12 (b))。

【0047】次に、積層膜 117 のうち最後に残った下敷酸化膜 102 を除去し (図 12 (c))、露出した半導体基板表面を熱酸化してトンネル酸化膜 172 を形成し、さらに、浮遊ゲート電極材料となるポリシリコン 153 を膜厚 50~150 nm の厚さに堆積する (図 13 (a))。

【0048】次に、トンネル酸化膜 172 及びゲート酸化膜 130 を完全に覆うと共に、その端部が埋込酸化膜 193 の上にまで延在するようにポリシリコン 153 をパターニングして、浮遊ゲート電極 163 を形成する。 (図 13 (b))。

【0049】最後に、ONO 膜等の容量膜 164 を約 15 nm の膜厚に形成し、さらに、その上に制御ゲート電極 165 を形成すると本発明の第 3 の実施形態のメモリセルを得る (図 13 (c))。

【0050】以上により、第 1 の実施形態で説明したフラッシュメモリセルの高信頼性に加えて、第 1 の実施形態よりもさらに浮遊ゲート電極の面積を大きくすることにより高容量比を達成することができ、書き込み・消去電圧の低電圧化が可能になる。

【0051】また、第 2 の実施形態においては、浮遊ゲート電極の形状を凹状とするために、図 9 (c) から図 10 (a) に到る工程自体の制御に工数を要すること、即ち、凹部にレジスト等の有機材料を均一に埋め込むことの困難が生じ、製造工程を複雑にしているが、本実施形態では、プロセス制御が一貫して容易であり、製造工程の簡略化が実現できる、という長所を有している。

【0052】以上に述べてきた実施形態においては、フラッシュメモリを例として挙げたが、本発明はフラッシュメモリに限定されるものではなく、半導体基板の活性ゲート膜領域上、或いは、活性ゲート膜形成予定領域上に積層構造体を形成しておき、それをマスクとして自己整合的に溝分離領域を形成する構成の半導体装置であれば、フラッシュメモリ以外の他の分野に分類される半導体装置であっても、本発明の製造方法を適用して本発明の構造を有する半導体装置を実現できることは言うまでもない。

【0053】

【発明の効果】以上に説明したように、本発明の半導体装置及びその製造方法によれば、半導体基板の活性ゲート膜領域上、或いは、活性ゲート膜形成予定領域上に積層構造体を形成しておき、さらに、活性ゲート膜 (或いは、活性ゲート膜形成予定領域) の溝分離側に位置するゲート膜を厚くしておき、その上で積層構造体に対して自己整合的に溝分離領域を形成するので、溝の肩部とゲート電極との距離を大きくすることができ、デバイス動作時の溝の肩部における電界集中によるデバイス特性へ

の悪影響を無くすることができる。また、溝分離側に位置するゲート膜が厚く形成されるので、制御容量の基板容量に対する容量比を高く設定することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態の半導体装置の平面図及び断面図である。

【図 2】本発明の第 1 の実施形態の半導体装置の製造方法を製造工程順に示す断面図である。

【図 3】図 2 に続く製造工程を示す断面図である。

【図 4】図 3 に続く製造工程を示す断面図である。

【図 5】図 4 に続く製造工程を示す断面図である。

【図 6】本発明の第 2 の実施形態の半導体装置の平面図及び断面図である。

【図 7】本発明の第 2 の実施形態の半導体装置の製造方法を製造工程順に示す断面図である。

【図 8】図 7 に続く製造工程を示す断面図である。

【図 9】図 8 に続く製造工程を示す断面図である。

【図 10】図 9 に続く製造工程を示す断面図である。

【図 11】本発明の第 3 の実施形態の半導体装置の平面図及び断面図である。

【図 12】本発明の第 3 の実施形態の半導体装置の製造方法を製造工程順に示す断面図である。

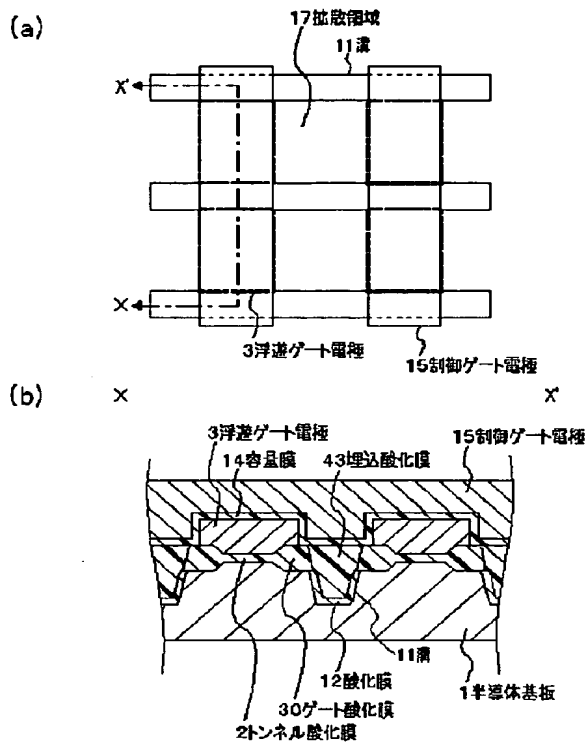
【図 13】図 12 に続く製造工程を示す断面図である。

【図 14】従来の半導体装置の製造方法を製造工程順に示す断面図である。

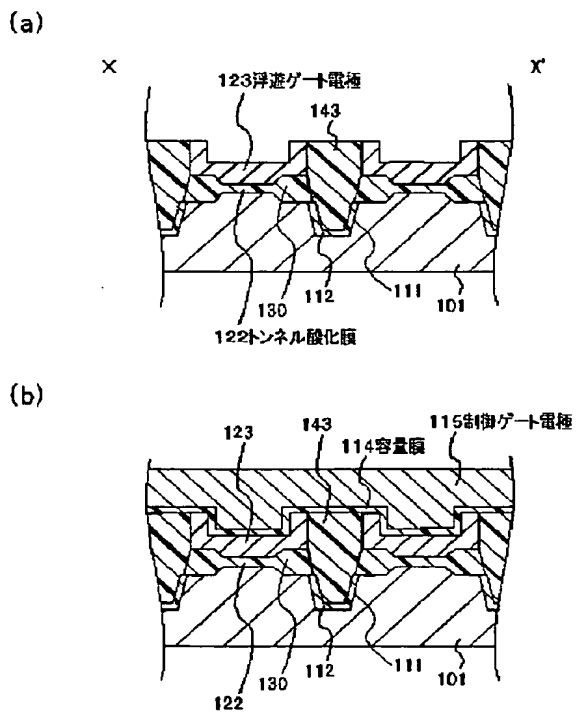
【符号の説明】

- 1、101、201 半導体基板
- 2、122、172、204 トンネル酸化膜
- 3、123、163 浮遊ゲート電極
- 4 中間酸化膜
- 5、9、105、205 窒化膜
- 6、106 上層酸化膜
- 7、17、107、117 積層膜
- 8、10、12、13、110、112、113 酸化膜
- 11、111 溝
- 14、114、164、214 容量膜
- 15、115、165、215 制御ゲート電極
- 17、117 拡散領域
- 30、130 ゲート酸化膜
- 33、43、133、143、193、233 埋込酸化膜
- 102 下敷酸化膜
- 103、153 ポリシリコン
- 116 凹部
- 203 第 1 浮遊ゲート電極
- 211 トレンチ
- 213 第 2 浮遊ゲート電極

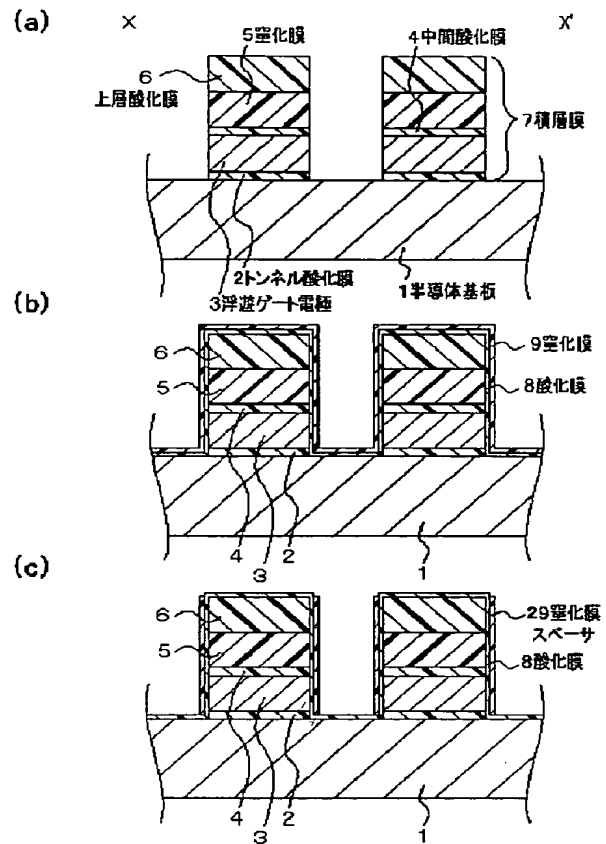
【図1】



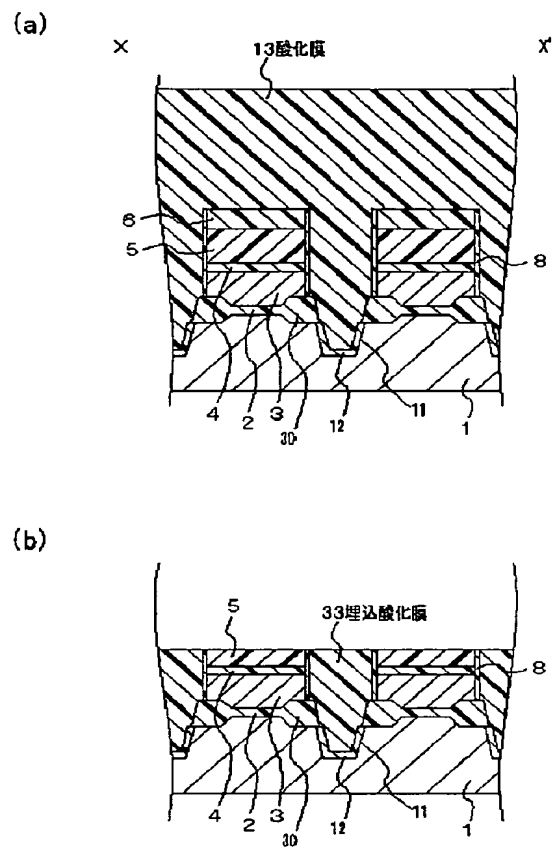
【図10】



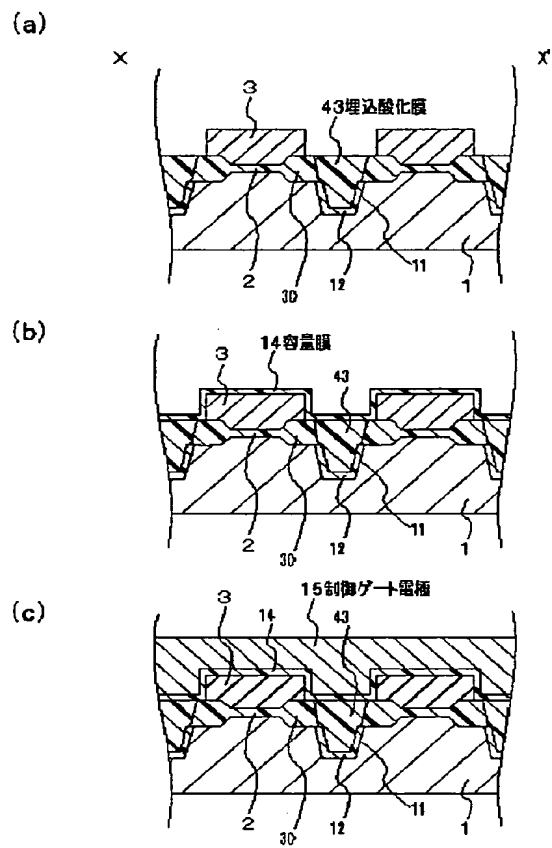
【図2】



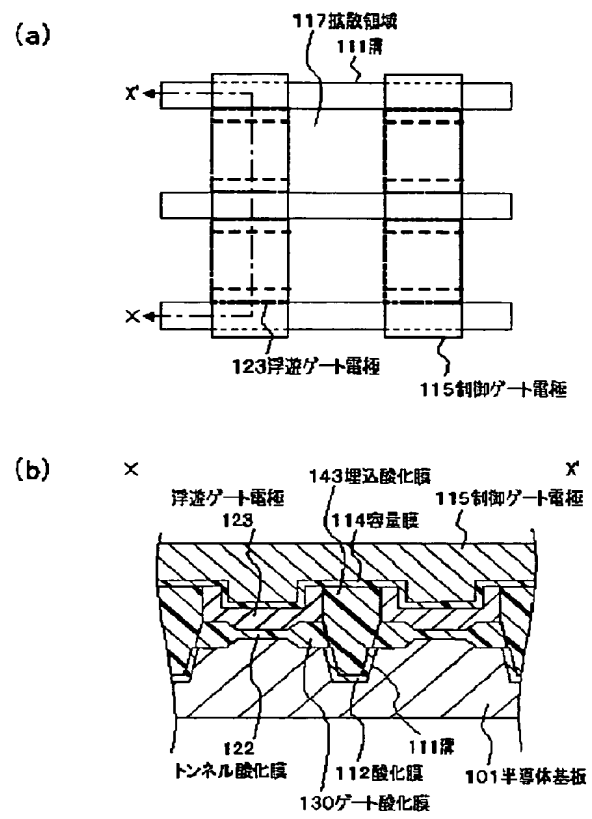
【図 4】



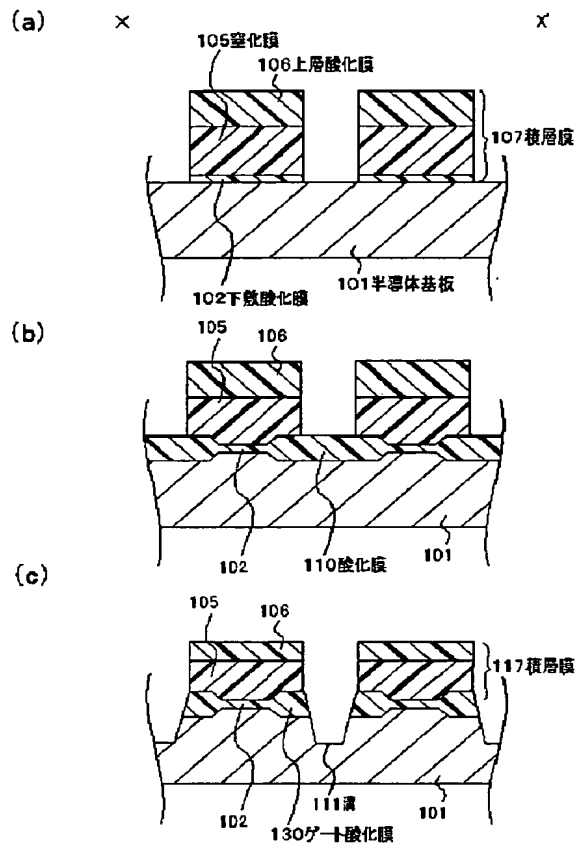
【図 5】



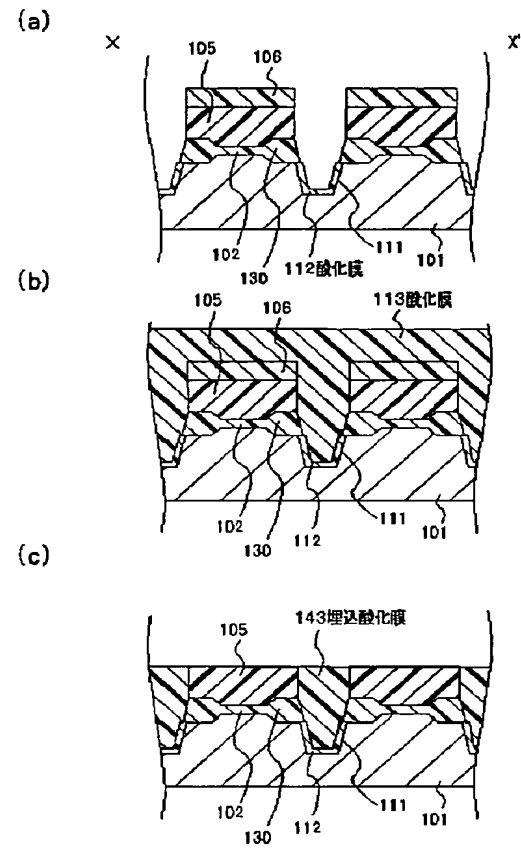
【図 6】



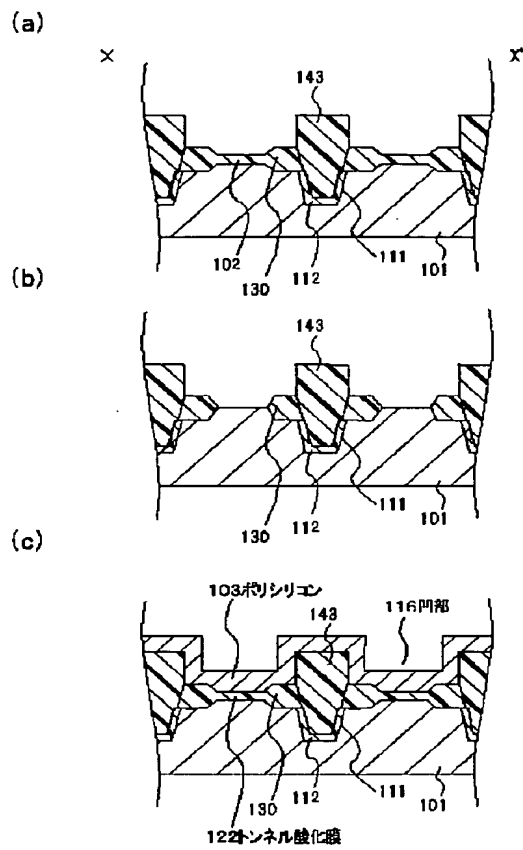
【図7】



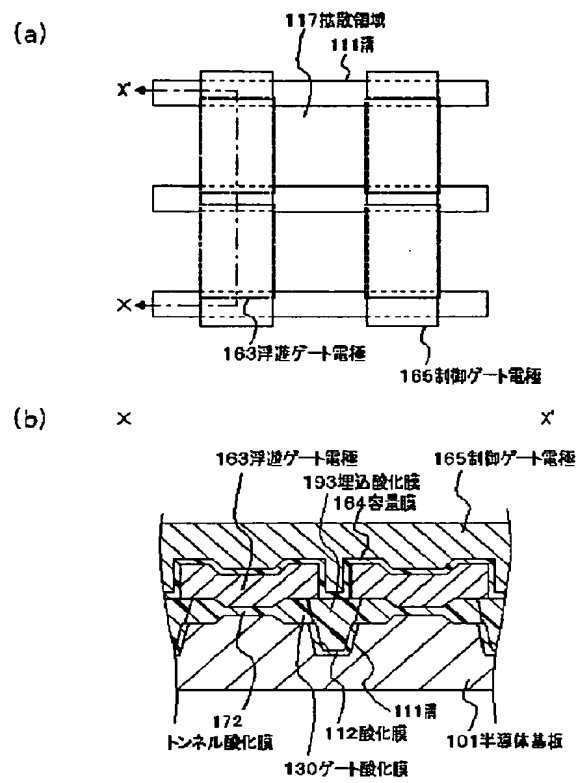
【図8】



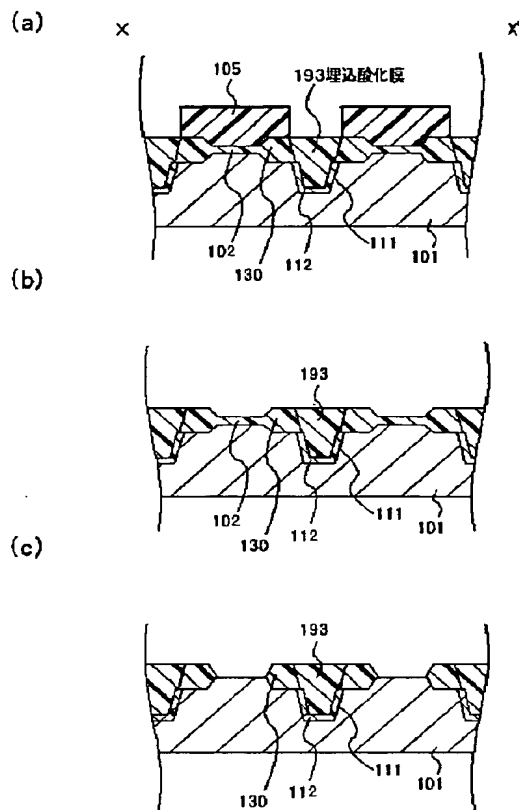
【図9】



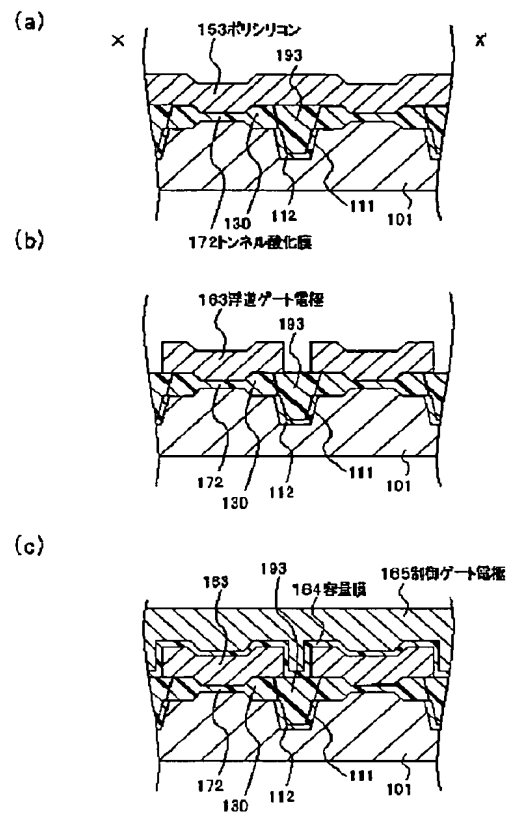
【図11】



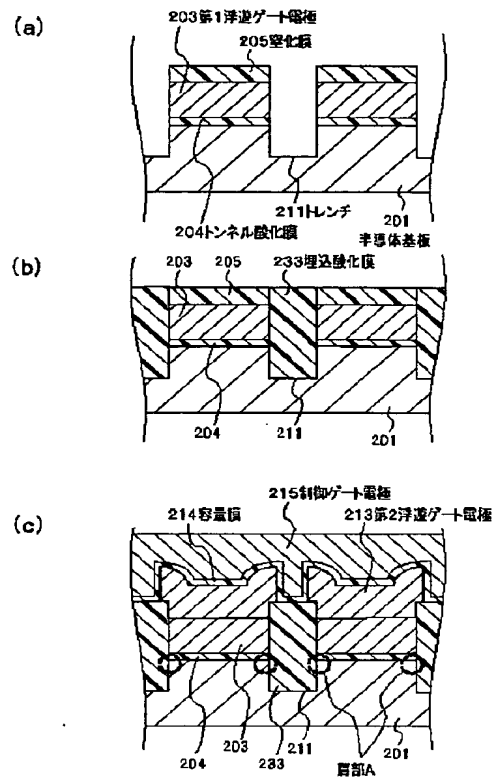
【図 12】



【図 13】



【図14】



フロントページの続き

Fターム (参考) 5F001 AA08 AA09 AA25 AA30 AA31
 AA34 AA43 AA62 AA63 AB08
 AD20 AD52 AD60 AF06 AF25
 AG07
 5F032 AA34 AA37 AA44 AA45 CA17
 DA33
 5F083 EP02 EP03 EP05 EP23 EP27
 EP42 EP48 EP50 EP55 ER22
 GA09 GA19 GA22 JA04 KA01
 LA16 NA01 PR29
 5F101 BA07 BA12 BA13 BA16 BA23
 BA24 BA29 BA35 BA36 BB05
 BD12 BD33 BD35 BF02 BF09
 BH19